

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-081815

(43)Date of publication of application : 16.03.1992

(51)Int.Cl.

G02F 1/133
G02F 1/1345

(21)Application number : 02-194821

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.07.1990

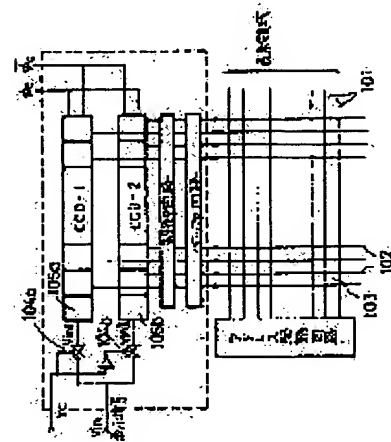
(72)Inventor : SUZUKI KOJI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To allow the extremely stable supply of video images to a data line or respective picture elements by using at least ≥ 1 charge coupled devices (CCD) as means for generating a signal voltage for display.

CONSTITUTION: A display signal V_{in} is divided to V_{in1} , V_{in2} respectively by analog switch elements 104a, 104b of a high-speed type. These signals are lowered in signal band as compared with the input signal V_{in} . Two pieces of the switches 104a, 104b are merely required to be provided in a driving circuit, by which the element area is drastically decreased. The V_{in1} , V_{in2} are respectively transferred through charge implanting circuits 105a, 105b to CCDs 1 and 2 and are successively sent. The respective CCDs operate at clocks $\phi_{1/c}$ and $\phi_{2/c}$ and may be shifted by as much as the phase difference component of the V_{in1} , V_{in2} . The number of stages of the respective CCDs may be half the total number of data lines 102. The charge quantity transferred in the CCDs is converted to a voltage value and is made into about 3V in peak value. The charges of the respective channels are simultaneously sent to a control circuit after the end of the charge transfer for one horizontal scanning component.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑫ 公開特許公報(A) 平4-81815

⑤ Int. Cl.⁵G 02 F 1/133
1/1345

識別記号

5 5 0

庁内整理番号

8806-2K
9018-2K

⑬ 公開 平成4年(1992)3月16日

審査請求 未請求 請求項の数 5 (全11頁)

⑭ 発明の名称 液晶表示装置

⑰ 特 願 平2-194821

⑱ 出 願 平2(1990)7月25日

⑲ 発 明 者 鈴木 幸 治 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑳ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 則近 憲佑

明 細 書

1. 発明の名称

液晶表示装置

2. 特許請求の範囲

(1) 少なくとも一方が透過性である2枚の基板と、これら基板間に液晶層を挟持し、前記透過性を有する基板の内面に透明導電膜を有し、これと対向する基板上に複数のマトリックス状に配列された画素表示電極と、前記表示電極に少なくとも1つのスイッチング素子が接続された液晶表示装置において、表示用信号電圧を発生する構成として、少なくとも1つ以上の電荷結合デバイス(CCD)と、このCCDの各チャンネルの電荷を読み出すトランスファークロークと、このトランスファークロークのCCDが接続されている端子と反対側の端子に接続される補助容量、リセットトランジスタ回路そして信号電圧を出力するバッファ回路とを有し、かつ前記補助容量の参照電極に、水平走査同期信号もしくは、垂直同期信号と同期した矩形パルス電圧を印加し、バッファ回路の出力

表示信号電圧の振幅及び位相が、前記各画素電極上の液晶層を所定の交流駆動ならしめる表示信号駆動回路を備えたことを特徴とする液晶表示装置。

(2) 液晶層を交流駆動とならしめる表示信号駆動回路が、表示装置の各水平走査線毎に設けられ、かつ、前記CCDの転送チャンネル数が水平画素数と一致しており、前記トランスファークロークによるCCD各チャンネルの電荷の補助容量への転送が水平帰線期間中に行なわれることを特徴とする請求項1記載の液晶表示装置。

(3) 前記透光性を有する基板と対向する基板が単結晶シリコン基板であり、かつ、前記画素電極が、シリコン基板に設けられた各種回路素子及び配線を含む領域上に絶縁膜を介して設けられた金属薄膜であることを特徴とする請求項1又は2記載の液晶表示装置。

(4) 前記表示信号駆動回路の出力が、水平走査線上の画素数分垂直方向に設けられたCCD列にそれぞれ入力され、前記垂直CCDの転送チャンネル数は水平走査線数あり、各チャンネルの出力

はトランスファークラークを介してリセットトランジスタ、補助容量そして表示電極に接続され、垂直CCDの電荷転送が水平同期信号と同期して行なわれ、前記トランスファークラークを介したCCD各チャンネルの電荷読み出しが垂直帰線時間内に全画面分一括して行なわれることを特徴とする請求項1記載の液晶表示装置。

(5) 前記透光性を有する基板と対向する基板が単結晶シリコン基板であり、かつ、前記画素電極がシリコン基板に設けられた各種回路素子及び配線を含む領域上に絶縁膜を介して設けられた金属薄膜であることを特徴とする請求項4記載の液晶表示装置。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

この発明は液晶表示装置に係り、特に反射型の液晶表示装置に関する。

(従来の技術)

液晶表示装置はブラウン管を用いた表示装置

は歩留が低くなること、製造設備が大型の高額なものとなるため、設備償却費も高く、かつ、材料費も大型化に伴いかさんでくることから、ブラウン管方式に比べるとコスト的にかなり高額となる問題がある。

これに対して、比較的小さな液晶表示パネルを用いて、その表示イメージを拡大投影することにより大きな画面を得ようとする試みも行なわれている。この様なプロジェクション用液晶表示パネルは、比較的小さなパネルでも拡大投影することにより40~100"といった表示画面が得られるため前記の直視型液晶表示装置に比べ、低コストが容易に計れるメリットがある。従来プロジェクション用の液晶表示パネルは、直視型のカラー液晶表示装置と同様な透過型が用いられているが、液晶パネルの小型化と画素数の増大により、一画素当りのサイズが極めて小さくなるため、配線やスイッチング素子領域の面積が無視できなくなっており、このため、液晶表示電極をアルミニウムなどの金属層により構成し、この金属画素電極

に比べ薄型軽量の特徴を有し、かつ、低電圧駆動が可能であり、カラー表示もカラーフィルター等を用いることに容易に実現できることから、近年、小型TVセットをはじめ、OA用表示装置としても広く用いられてきている。

特に、表示領域を小さな画素をマトリックス状に配列し、かつ、各画素毎にスイッチング素子として薄膜トランジスタを用いたいわゆるアクティブマトリックス型液晶表示装置では、各画素の表示電極にほぼ100%のデューティで表示電圧を印加できることから、従来の時分割駆動型の単純マトリックス型液晶表示装置に比べ、応答性、コントラスト、視角特性そして中間調表示が特にすぐれており、ビデオ表示装置として最適なものとなっている。

この様な、アクティブマトリックス型表示装置は、各画素毎にa-SiTFT等のスイッチング素子を用いているため、その製造プロセスが複雑となること、更に、表示領域の大きさそのものが基板サイズとなるため特に大型の直視型液晶表示装置で

を反射板として利用する反射型のプロジェクション用液晶表示装置も試みられるようになってきた。本発明はこのような反射型液晶表示装置に関するものである。

従来の反射型のプロジェクション用液晶表示装置の断面構造図を第4図に示す。反射用画素電極はアルミニウムで構成され、表面は研磨され反射率を高めると同時に、薄膜トランジスタや、データライン、アドレスラインの一部の上にも絶縁膜を介して設けることにより、画素電極面積の画素ピッチ領域に対する実質的な面積比率すなわち、開口率を高めている。透過型では、データバスライン、アドレスバスライン及び薄膜トランジスタ領域が不透過領域となるため、特に画素ピッチの狭い液晶パネルでは開口率が小さくなってしまいう欠点をこの反射型では補っている。

しかしながら、前記反射型液晶表示パネルにおいては、画素電極とデータバスラインが重なるため寄生容量成分が多くなり、データバスライン上の映像信号がこの容量を介してたえず画素電極電

位を変動するため、表示パターンに応じてクロストークが発生する。通常、薄膜トランジスタと直列に接続される画素電極は選択走査時間以外の大部分の時間においては、トランジスタがオフ状態となっているため、電気的にフローティングであり、前記寄生容量を介したデータバスラインの信号電圧による変動が特に大きくなる。この時の画素電極電位の変動を図示したものが第5図である。今あるデータライン上の信号電位を V_{sig} に示された波形で仮定する。同図 V_{p1} は、アドレスライン G_1 とこのデータラインの交点により定義される画素（薄膜トランジスタと液晶層をはさむ表示電極及び対向共通電極で構成されている。）の表示電極電位 V_{p1} は同図に示されるように、正規の表示信号 V_{p10} が書き込まれた後、データラインとの結合容量により、信号線電圧 V_{sig} の影響を受ける。2番目のアドレスライン G_2 における画素電極電位波形を同図 V_{p2} に示されるように、データラインの電圧 V_{sig} の影響を受ける。従来の透過型液晶表示装置のように、画素電極がこれらバスラインと

く発表されているが、液晶パネルに用いられているポリシリコン薄膜トランジスタの移動度は $5 \sim 50 \text{ cm}^2/\text{Vs}$ と結晶シリコンのMOS Tr等の移動度比べ約一桁小さい。このため、高速、高性能な駆動回路を一体化できなかった。この場合用いられている技術は、結晶シリコンによる駆動ICをチップ状に切り出し、液晶パネル周辺に実装し、データラインバス一本づつを接続していた。しかし、前記微細画素ピッチ化においては実装も困難である。更に、信号の高速化に伴い、従来の回路構成では、ドライブ用ICチップが大きいあるいは、信号振幅が大きいため消費電力が大きいなどの問題があった。第6図は従来の代表的な回路構成を示すものである。特に高速化に伴い問題となるのは、トランスファゲートの大型化によりチップサイズの増大とこれにより構成されるサンプルホールド能力の低下と、信号バラツキである。この問題解決のためには表示パネルを分割し、この分割に対応して映像信号を分割する時間軸変換技術が必要となるが、このためには外部に専用のメモリ

平面的に重なることなく設けられているものでは、この結合容量は充分小さく、このような変動効果は実質的には十分無視できる程度であった。しかし、画素の狭ピッチ化と、反射電極の広開口率化の方向においては、このような問題が無視できない。例えば同図 V_{p1} 画素は、必要以上の実効電圧が液晶層に加わり、 V_{p2} 画素では逆に、少ない実効電圧値しか印加されないため、いわゆるクロストークと呼ばれる画質劣化をひきおこす。

更に、プロジェクション用液晶表示装置では、パネルサイズの小型化が、セットの小型化、光学系の小型化そして低コスト化などのメリットを生ずるため、画素ピッチは細かい程よく、又、投影スクリーンサイズが大きくなることから、画素数は直視型のものよりも多く、高精細タイプのものが高品質の画像を得るために必要である。この様な液晶パネルを実現するためには、前記反射型構成の他、高速の高性能の周辺ドライバー回路及びその実装技術が重要である。ポリシリコンを用いた周辺駆動回路を一体化した液晶パネルも数多

一回路が不可欠であった。

（発明が解決しようとする課題）

本発明は、プロジェクション用反射型液晶表示パネルにおける画素電極電位の結合容量による信号線電圧の変動によるクロストーク等の画質劣化問題、前記液晶パネルに表示用映像信号を印加する従来方法における高速化時の諸問題すなわち、駆動回路一体型におけるトランジスタの低移動度による映像信号帯域が狭いこと、高速信号ICを狭ピッチ画素に接続できないこと、及び、高速信号ICの大チップ化や発熱問題等である。

本発明の目的は、これら諸問題を解決し、より小さな液晶パネルでより高解像度のプロジェクション用反射型液晶表示装置を提供することにある。

〔発明の構成〕

（課題を解決するための手段）

本発明は、少なくとも一方が透過性である2枚の基板と、これら基板間に液晶層を挟持し、前記透過性を有する基板の内面に透明導電膜を有し、これと対向する基板上に複数のマトリックス状に

配列された画素表示電極と、前記表示電極に少なくとも1つのスイッチング素子が接続された液晶表示装置において、表示用信号電圧を発生する構成として、少なくとも1つ以上の電荷結合デバイス(CCD)と、このCCDの各チャンネルの電荷を読み出すトランスファークラークと、このトランスファークラークのCCDが接続されている端子と反対側の端子に接続される補助容量、リセットトランジスタ回路そして信号電圧を出力するバッファ回路とを有し、かつ前記補助容量の参照電極に、水平走査同期信号もしくは、垂直同期信号と同期した矩形パルス電圧を印加し、バッファ回路の出力表示信号電圧の振幅及び位相が、前記各画素電極上の液晶層を所定の交流駆動ならしめる表示信号駆動回路を備えたことを特徴とする液晶表示装置である。

本発明では、まず信号駆動回路として映像信号を各データラインに供給する周辺ドライバー回路に電荷結合素子(以下CCDと呼ぶ)をデータライン順に相当する分を直列接続した信号転送部を

されたバッファ回路を形成することにより実現した。なお、CCDの映像信号転送速度を向上するため、液晶層を交流駆動するための方法として、第1にCCDにあらかじめ補助電荷を蓄積する手段もしくは、前記第1の補助容量の固定バイアス端を液晶の交流駆動周期の矩形波パルス電圧を印加する手段をとる。なお、これらのCCD素子は単結晶シリコン基板上に集積されており、各素子のジャンクション部及びシリコン素子表面は各種クロック、信号バスライン及び金属反射電極によりおおわれており、この上に第2の透明基板と両基板間に注入された液晶層とからなる。

(作用)

CCDを用いることにより、これ自体で良好なサンプルホールド回路が構成できるため、高速高精度のサンプルホールド用大型アナログスイッチ回路を各データライン毎に設ける必要がなく、省面積化が実現でき、S/N比が向上する。又、広帯域映像信号のため単一CCD列で転送ができないときは、入力端に特別のサンプルホールド回

入力信号線当り少なくとも1つ以上含み、かつ、外部からの映像信号をこのCCDに電荷注入として入力する部分と、CCD列を2列以上有する並列駆動時には、前記映像信号を交互に各並列素子へ供給するサンプリング回路を有し、一走査線当りの映像信号転送終了後、これら各CCDの電荷をバッファ回路に一括転送するアナログスイッチ回路そして、転送電荷を液晶層を交流駆動するのに十分な信号振幅まで増大させる容量結合による回路とそれをデータラインに安定に供給するためのバッファ回路とからなる映像信号供給回路を単結晶シリコン基板上に形成した手段を用いる。

更に、画素電極電位の変動による画質劣化を解決するための手段として、各画素への映像信号供給をCCDを用い、これらをマトリックス状に各画素に対応した転送ゲート数を持たせ、アドレス走査毎もしくは、フィールド走査毎に前記CCDに転送された電荷をアナログスイッチを介して、第1の補助容量に転送する回路と、この補助容量にゲート電極が接続され、出力が表示電極に接続

路をCCD列の数だけ設ければよい。又CCDの電荷を出力バッファ回路に転送するためのアナログスイッチは低速動作タイプで十分対応できる。又、バッファ回路入力端の容量部分は、信号電圧の大振幅化に利用できるため、CCD部分での転送電荷量を少なくすることができ、CCD部の高速電荷転送が可能となる。以上の回路は良質の単結晶基板上に形成するため、高性能な回路素子が実現できる。

次に表示領域の各画素電極に映像信号に対応した電荷を与えるための手段としてCCDを用いることにより、表示電極に及ぼす信号・コントロールラインからの電圧の影響は常に補償された形となり、実効的に何ら表示信号の影響を受けない。又、更に表示電極は、バッファ回路と接続されているため、これら他の信号ラインからの電位重量効果はほとんど無視でき、かつ、液晶層の抵抗値にかかわらず安定した電位が供給できる。

本発明によれば、極めて安定に映像信号をデータラインもしくは各画素に供給することが可能と

なり、この効果は反射型液晶表示装置の小型化、かつ多画素化に対しても、安定でかつ品位の高い画質を実現できる。

(実施例)

(第1の実施例)

本発明による第1の実施例を図面を用いて説明する。第1図(a)は、本発明によるアリティブストリックス型液晶表示装置の概略を示す図である。表示領域は複数本のアドレスライン101とデータライン102及びその交点で定義される画素103より構成され、アドレスライン101はアドレス駆動回路に接続され、それぞれ順番に水平走査期間と同期して、選択パルスが印加される。これと同期して、データライン102にも映像信号が印加されるが、この映像信号を印加するための、本発明による駆動回路の概略構成が同図(a)に示されている。

表示信号 V_{in} は、高速タイプのアナログスイッチ素子104a, 104bにより、それぞれ V_{in1} , V_{in2} に分割される。 V_{in1} , V_{in2} は、第1図(b)に示すよ

うに駆動されて、入力信号 V_{in} に比べ信号帯域を低くしている。従来の駆動回路では、データライン数と同数の高速アナログスイッチが必要であるが、本実施例では104a, 104bの2ヶを設けるだけでよく、素子面積を大幅に低下できる。 V_{in1} , V_{in2} はそれぞれ電荷注入回路105a, 105bを通して、CCD1及びCCD2に転送され、順次送られていく。CCD1, CCD2は2相のCCDで構成され、クロック ϕ_c 及び $\bar{\phi}_c$ で動作される。なお、CCD1とCCD2のクロックを第1図(b)の V_{in1} , V_{in2} の位相差分だけずらしたものとしてもよい。各CCDは段数は本実施例では、データライン102の総数の半分でよい。又、CCDを転送する電荷量は、電圧値に換算してピーク値で約3Vとした。一水平走査分の電荷転送終了後に、各チャンネルの電荷は一齐に制御回路へ送られる。第1図(c)は、CCDからバッファ回路までの構成例を示す図であり、第1図(d)がその動作タイミングを示す図である。各CCD内の電荷転送終了後に、アナログスイッチ106がコントロール線

が第1図(e)である。横軸が表示信号電圧、縦軸が液晶層の透過率である。液晶層をはさんで表示電極と対向する基板側には、透明電極を設け、一定の電位 V_{com} に設定しておく。液晶層は V_{com} を中心に交流駆動させるが、 $V_{com} \pm V_{TLC}$ (V_{TLC} は液晶層のしきい値電圧)の領域は透過率の変化はない。本実施例では、 V_{com} を6V, V_{TLC} が2Vであるので、表示信号のうち4~8Vの範囲は画面の状態に何らの変化もあたえない。又、透過率が変化するのは第1図(e)で信号電圧が2~4V及び8~10Vの範囲でそれぞれ約2Vの電圧範囲である。従って、本実施例ではCCDで転送される電荷量は約3V幅とし、補助容量共通線110a及びbの矩形パルス幅を7Vとして、正極信号は7~10V、負極信号は0~3Vとなるようにした。なお、表示領域と表示信号回路間に1Vのオフセットを等価的に加えておくことにより、正極信号を8~11V、負極信号が1~4Vとして、 V_{com} 6Vに対して交流駆動が実現できるようにしてある。又、負極信号に対する映像信号 V_{in} はあらかじめ極性反

転信号として外部から印加し、正常な表示ができるようにしておく。このように本実施例ではピーク値で8~10V必要な表示信号電圧115をCCD領域では3Vに圧縮することにより、CCDの高速転送を可能にしている。

なお、補助容量共通線110a, 110bに印加すべき矩形電圧の周期及び110a, 110bの位相関係は、表示装置をどのようなモードで表示するかに応じて決定すればよい。第1図(d)に示す本実施例の場合、隣接画素が、データ線一本おきにかつ、アドレス線一本おきに逆位相で駆動されている例である。全データ線共同一位相で表示を行なう場合、補助容量109の共通線110a, 110bは一本とすることができる。又、CCDの電荷を取り出すアナログスイッチ106は、水平ブランキング時間内が有効に使えるため、高速である必要はなく、従来のサンプルホールド回路用のアナログスイッチに比べ、微小面積で形成でき、かつ、動作速度も遅いことから、消費電力も少なくてもよい。本実施例では高速タイプのアナログスイッチは、CCDの入力端

して動作されるシフトレジスタ205に接続される。表示信号入力ライン203から入力された映像信号は、アナログスイッチ202により水平走査用CCD 201毎に順次送られる。今、スイッチ202aが開るとき映像信号はCCD 201a内を水平画素数に対応したクロックで転送され、転送後クロックは停止する。しかるのち、各CCDチャンネルに接続されたアナログスイッチ206a, 206b…が同時にオン状態となり負荷側に電荷が送られる。

各画素毎の詳細な等価回路を第2図(b)に示す。前述のように、CCD各チャンネルの電荷は、コントロール線207に選択パルスを入力し、アナログスイッチ206a, 206b…をオン状態とすることにより、負荷側の補助容量208a, 208b…に蓄えられる。蓄積容量の共通電位線209, 210は、第1の実施例と同様に矩形パルスを印加することにより、より少ない信号電荷量(本実施例では3V_{max})で、液晶を駆動するのに十分な電圧を得るための手段である。本実施例では7Vの矩形パルスを与えることにより、液晶を駆動するのに必要な10V_{max}

に設けられた2ケでよく、従来の各データライン102毎に高速型のアナログスイッチを設けた場合に比べ、発熱量も少なく又、チップ内の分布の影響による信号電圧のバラツキ等が小さい、すぐれた表示信号の駆動回路が形成できる。

(第2の実施例)

本発明による液晶表示パネルの第2の実施例を第2図を用いて説明する。第2図(a)はその概要を説明する図である。本実施例では表示領域の各画素の表示電極に表示信号を与える手段としてCCDを用いている。単結晶シリコン基板上に表示領域の水平走査線毎に信号転送用CCD 201a, 201b…を設ける。各CCDの転送チャンネル数は水平画素数分を設ける。CCDは2相, 3相又は4相方式のいずれでも本質的な差はないが、本実施例では2相CCDを用いた。各CCD 201の入力側には、アナログスイッチ202a, 202b…があり、これらはいずれも表示信号入力ライン203に接続されている。アナログスイッチ202のコントロールゲート204a, 204b…は、水平同期パルスと同期

を得ている。容量206の共通線209と210に印加するは同相の場合、各水平線に沿った画素毎の液晶層221は全て同相駆動に、又、逆相の場合は、各液晶層221は1ケおきに逆相駆動される。後者は液晶パネルのフリッカーを抑止する場合に効果的である。トランジスタ210a, 210b…は、補助容量208a, 208b…の電位をあらかじめ、リセット電位線212の電位にリセットするためのもので、コントロール線211にリセットパルスを印加する。CCD電荷の補助容量208への転送、すなわち、トランスファーゲート206をオン状態にする直前にリセットをかけておく必要がある。補助容量208の電位は、アナログバッファ回路を通して反射電極220a, 220b…に印加される。ここで、バッファ回路は、nチャンネルMOSトランジスタ213a, 214a, …とpチャンネルMOSトランジスタ213b, 214b, …の相補型で形成してあり、補助容量208a, 208b…での電荷のリークが無視できれば、液晶層221a, 221b, …の電荷リークがあっても、常にスタティック状態で所望の電圧を液晶層に印加するこ

とが可能となる。更に、この反射電極220a, 220b…は、画素領域内に、前記種々の回路素子及び配線上に絶縁膜を介して、可能な限り広く設けられている。このため、表示電極は他のバスライン線、素子と大きな結合容量を有しているが、バッファ回路から常にスタテック的に固定電位が印加されているので、容量結合による画素電位変動は生じないため、クロストーク等の画質劣化を生ずることはない。なお、液晶層は前記回路素子が形成されたシリコン単結晶基板と、これと対向する透過性基板にはさまれるように形成されているが、この透過性基板上には、透明導電膜222が形成され、液晶を交流駆動するための一定電位が印加されている。

本実施例の液晶表示パネルでは、垂直方向のバスライン（データライン）は不要となる。又、各走査線毎に設けられた液晶駆動回路は、該当する信号が与えられた一水平走査期間のみ動作をすればよく、ほぼ100%の時間回路動作は停止し、液晶層は蓄積容量に蓄えられた電荷で駆動される。

はじめ液晶層305を駆動するのに十分な電圧を与えておく。この具体的発生回路は第1図に示す第1の実施例で実現される。第3図(b)において、トランスファゲート306は、コントロール信号 V_T により、全面面のデータが一斉に対応するCCDチャンネルから表示電極309に印加される。なお、ゲート306をオンする直前に、表示電極電位をリセットトランジスタ307により、ある固定電位にバイアスされたりセットバイアスライン308と同電位としておく。

本実施例では、各素子及びバスライン上に絶縁膜を介して設けられた反射電極309は、これらと大きな容量をもっており、たとえばCCD301のクロックラインの電位の影響を受けやすい。しかしながら、全てのバスライン上の信号は常に一定の波形が加わるため、表示イメージに対応したクロストークは発生しない。例えば、第3図(c)に示すように、あるバスラインのクロック ϕ_1 に対し、結合容量を介した表示電極上にあらわれる電圧ノイズ ΔV_p の様子を画素311a, 311bに対してみ

て、本質的にノイズを受けにくく、良好な画質を得ることが可能となる。

(第3の実施例)

第3図に本発明による反射型液晶表示装置の第3の実施例の概略図を示す。本実施例では表示信号電荷が、縦方向の画素列に沿って設けられたCCD301a, 301b…内に沿って順次転送され、転送チャンネル数は、水平走査線数分あり、CCD列は水平画素数分設けられている。更に、画面の上又は下側もしくは両側に（第1の実施例に示した）水平表示信号駆動回路が設けられている。一水平走査分の表示信号は、データライン駆動用CCD302内を転送され、その出力がバッファアンプを通して、各データライン303a, 303b, 303b, …に印加される。この信号は各データライン一斉に供給され、水平同期信号に同期して順次印加され、これと同期して各データライン上の信号がCCD301a, 301b内を転送していく。

各画素の詳細回路図を第3図(b)に示す。このとき、データラインに印加される表示信号はあら

ると、各画素電極電位は第3図(c)の V_{p1} , V_{p2} のごとくなり、信号電圧レベルによらず、又、表示信号によらず常に一定のノイズ ΔV_{p1} , ΔV_{p2} があらわれる。構造的に対称に画素が構成されていれば ΔV_{p1} , ΔV_{p2} は等しくなることから、全画素共全く等しいノイズとなり、実効電圧的には一種のオフセットとして取り扱えば表示性能上は全く問題とならない。このオフセットの調整は、対向電極電位 V_{com} 312を調整すればよい。他のコントロール線からのノイズについても同様である。表示信号に対応した変動はCCD内のチャンネル層で発生しているが、これは、CCDのコントロール電極により反射電極と静電的にシールドできているので、表示電極電位への影響はない。

なお、本実施例において、各画素の回路を第3図(b)のかわりに第2図(b)の回路でおきかえてもよい。この場合、CCD301a, 301bを転送する電荷の量は、電圧換算で3V以下とすることができ、液晶駆動に必要な10V振幅への変換は第2の実施例と同様の方法で行なうことができる。

〔発明の効果〕

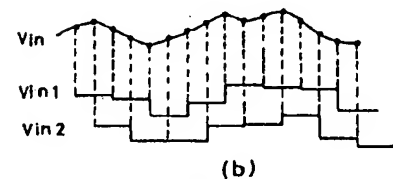
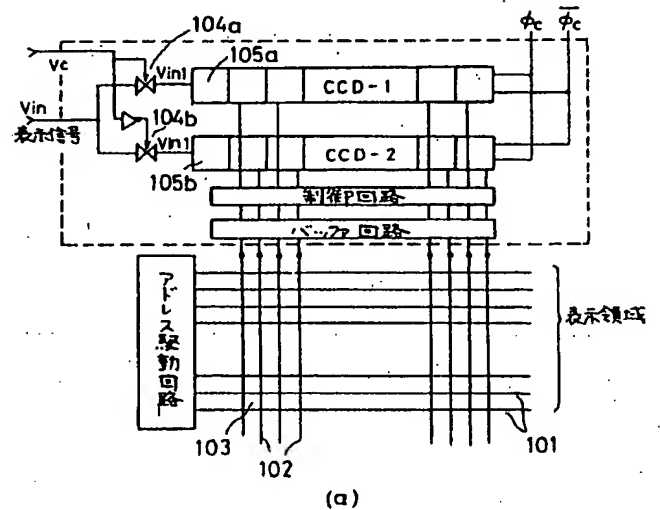
本発明によれば、液晶表示パネルを駆動するための広帯域映像信号電圧を、従来のシフトレジスタと固定容量によるサンプルホールド回路方式に比較して、表示信号転送を電荷結合デバイスで行なうことにより、より高速でかつノイズの少ない安定した処理ができる。かつ、少信号振幅の電荷転送であっても、液晶層の駆動に十分な電圧振幅を容易に得ることができかつ、液晶層をスタティックに駆動できることから、表示反射電極を素子上あるいはバスライン上に絶縁層を介して設けていても、これらの配線からの電圧ノイズを受けにくく、より安定した液晶表示装置を得ることができる。これらは、特に表示パネルの小型化そして高精細化に対しても特性の劣化が少ないことから、従来の薄膜トランジスタを用いたプロジェクション用液晶表示パネルでは実現できなかった小型・高精細のプロジェクション用反射型液晶表示パネルを実現できる。

4. 図面の簡単な説明

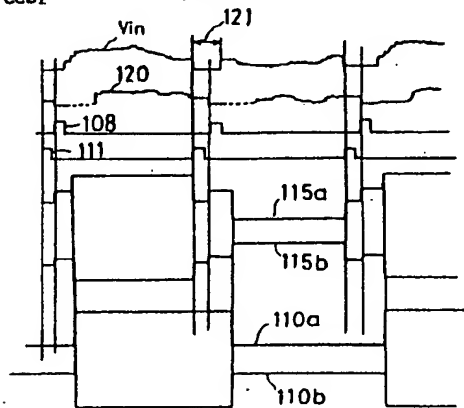
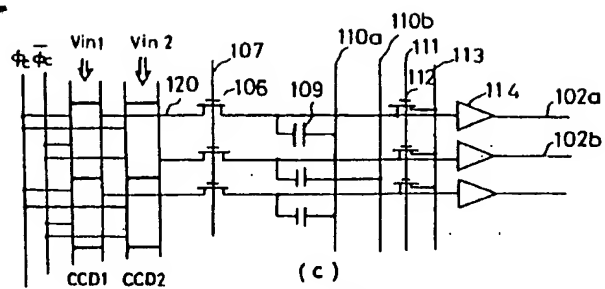
- 205…シフトレジスタ
- 206…トランスファゲート
- 208…補助容量
- 209,210…電圧変換用バスライン
- 210…リセットトランジスタ
- 220…表示用反射電極
- 221…液晶層
- 222…対向電極
- 302,301…CCD
- 306…トランスファゲート
- 307…リセットトランジスタ
- 305…液晶層
- 401,402…ガラス基板
- 403…液晶層
- 404…反射電極
- 405…データライン
- 406…アドレスライン
- 407…半導体層
- 408…絶縁膜

第1図(a)～(e)は本発明による液晶表示装置の一実施例を示す図、第2図、第3図はそれぞれ別の実施例を示す図、第4図は従来の反射型液晶表示装置の断面概略図、第5図は従来の液晶表示装置におけるクロストークを説明する図、第6図は従来の液晶表示装置の概略を示す図である。

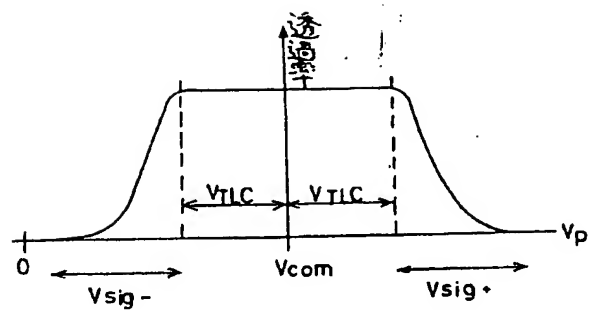
- 101…アドレスライン
- 102…データライン
- 103…画素
- 104…高速アナログスイッチ
- 105…トランスファゲート
- 109…補助容量
- 110a,110b…電圧変換用バイアスライン
- 112…リセットトランジスタ
- 114…パシファアンプ
- 121…水平帰線期間
- 111…リセットパルス
- 115…データラインに対する表示信号
- 201…CCD
- 202…アナログスイッチ



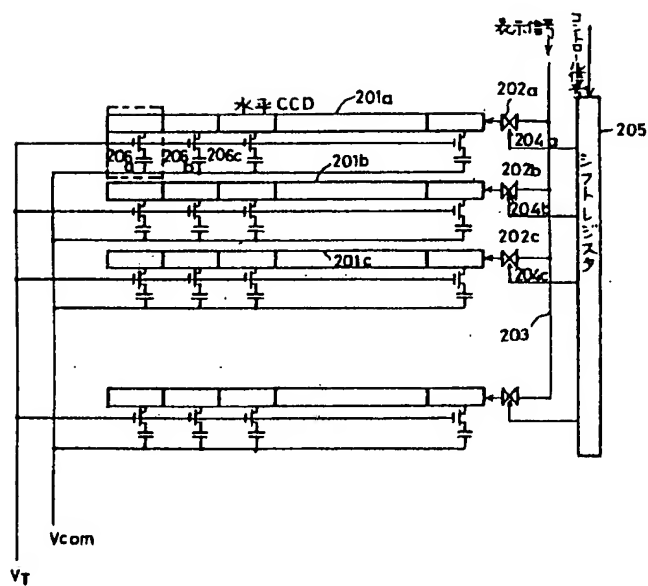
第 1 図



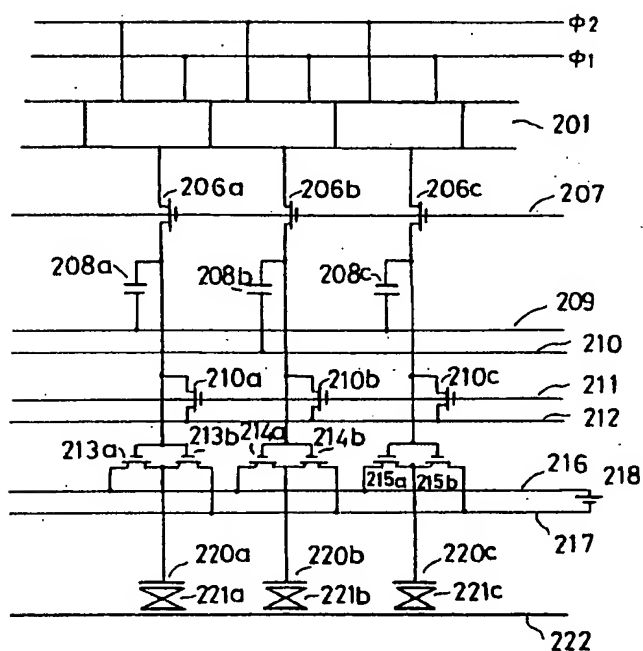
第 1 図



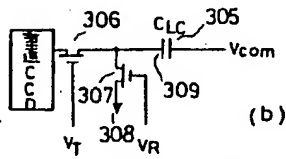
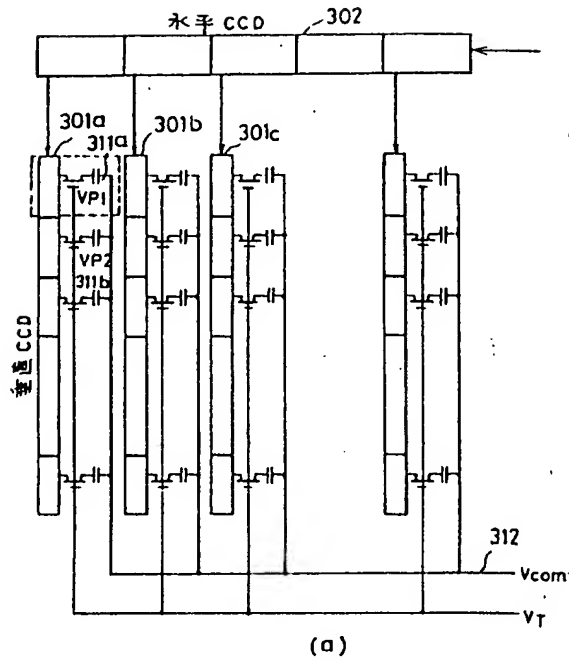
第 1 図



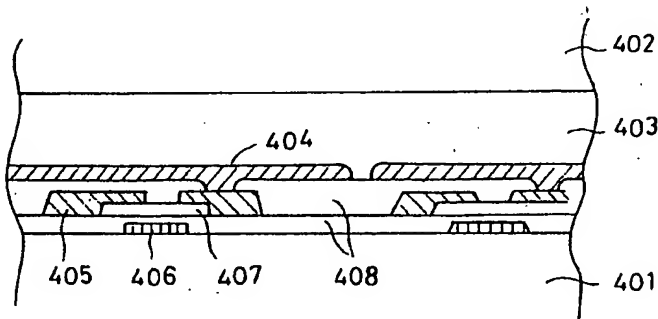
第 2 図



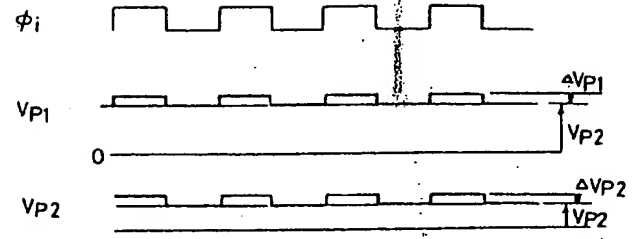
第 2 図



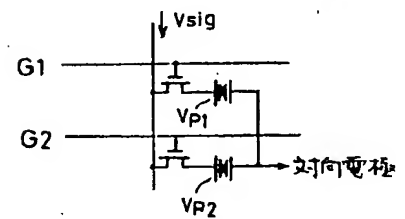
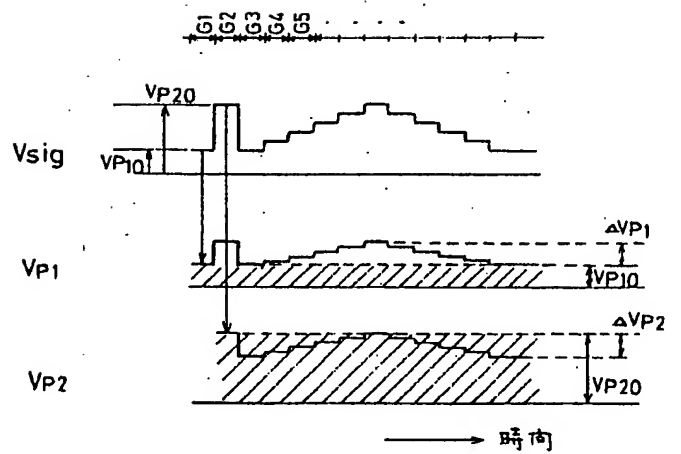
第 3 図



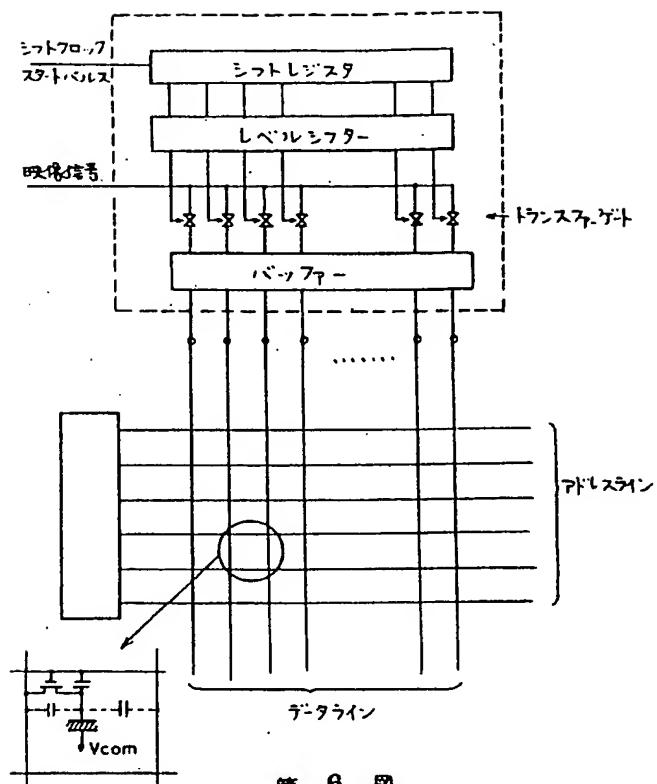
第 4 図



第 3 図



第 5 図



第 6 図